

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-292066
(P2001-292066A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl.	識別記号	F I	ノート (参考)
H 0 3 M 13/29		H 0 3 M 13/29	5 B 0 0 1
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 S 5 J 0 6 5
G 1 1 B 20/18	5 1 2	G 1 1 B 20/18	5 1 2 E
	5 3 6		5 3 6 A
	5 4 4		5 4 4 Z

審査請求 有 請求項の数12 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-207160(P2000-207160)
(22) 出願日 平成12年7月7日(2000. 7. 7)
(31) 優先権主張番号 特願2000-22378(P2000-22378)
(32) 優先日 平成12年1月31日(2000. 1. 31)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 大山 達史
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 永井 宏樹
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 100064746
弁理士 深見 久郎 (外3名)

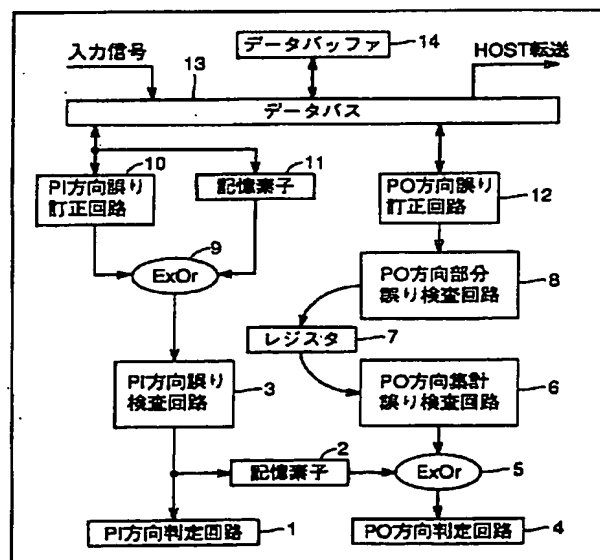
最終頁に続く

(54) 【発明の名称】 誤り訂正装置および誤り訂正方法

(57) 【要約】

【課題】 回路規模を増大させることなく、誤り検査処理に対する時間を短縮することが可能な誤り訂正装置を提供する。

【解決手段】 データバッファ14は、第1の方向および第2の方向の誤り訂正が可能な積符号を含むデータを受けて一時的に格納する。排他的論理和演算回路9は、第1の方向の誤り訂正によって検出された誤り量と、記憶素子11に格納されたデータを用いて第1の誤り検査結果を算出する。P I方向誤り検査回路3は、第1の誤り検出結果に応じて、第1の方向の誤り訂正後の誤り検査を行ない、P O方向部分誤り検査回路8およびP O方向集計誤り検査回路6は、第2の方向の誤り訂正時に検出された誤り量を用いて、第2の誤り検査結果を算出する。第1および第2の誤り検査結果により、排他的論理和演算回路5は、最終的な誤り検査結果を生成する。



【特許請求の範囲】

【請求項 1】 データブロックの第 1 の方向および第 2 の方向の誤り訂正が可能な積符号を有する誤り訂正符号を含む被訂正データに対する誤り訂正処理を行なう誤り訂正演算手段を備え、
前記誤り訂正演算手段は、
前記積符号の第 1 の方向を訂正する第 1 の誤り訂正手段と、
前記第 2 の方向を訂正する第 2 の誤り訂正手段とを含み、
前記被訂正データを格納することが可能な第 1 の記憶素子と、
前記誤り訂正演算手段による訂正が誤訂正でないことを確認するために、誤り検査符号による誤り検査を行なう誤り検査手段とを備え、
前記誤り検査符号は、前記データブロックの第 1 の方向のデータに誤り検査符号を連続的に設けたものであって、
前記誤り検査手段は、
前記第 1 の方向の誤り訂正によって検出された誤り量と、前記第 1 の記憶素子に格納されたデータとを用いて第 1 の誤り検査結果を算出する第 1 の論理演算手段と、
前記第 1 の誤り検出結果に応じて、第 1 の方向の誤り訂正後の誤り検査を行なう第 1 方向誤り検査手段と、
前記第 2 の方向の誤り訂正時に検出された誤り量を用いて、第 2 の誤り検査結果を算出し、前記第 1 および前記第 2 の誤り検査結果の論理演算を行なうことで、前記第 2 の方向の誤り訂正後の誤り検査を行なう第 2 方向誤り検査手段とを含む、誤り訂正装置。

【請求項 2】 前記被訂正データを受けて一時的に格納するための第 2 の記憶素子をさらに備え、
前記第 1 の記憶素子は、前記第 2 の記憶素子から読込んだ符号語を格納する、請求項 1 記載の誤り訂正装置。

【請求項 3】 前記第 2 方向誤り検査手段は、
前記第 2 の方向の誤り訂正時に検出された誤り量を用いて、前記データブロックの第 2 の方向に並ぶデータごとに部分検査結果を算出する部分誤り検査手段と、
算出された複数の前記部分検査結果を第 1 の方向に集計することにより、第 2 の検査結果を算出する集計誤り検査手段を有する、請求項 1 または 2 記載の誤り訂正装置。

【請求項 4】 少なくとも前記第 2 の誤り訂正手段と第 1 方向誤り検査手段とが並列的に動作する、請求項 3 記載の誤り訂正装置。

【請求項 5】 前記第 2 方向誤り検査手段は、
前記第 1 方向誤り検査手段の検査結果を受けて格納する第 3 の記憶素子と、
前記第 3 の記憶素子に格納された前記第 1 方向誤り検査手段の検査結果と前記集計誤り検査手段の検査結果とを受けて、前記第 2 の方向の誤り訂正後の誤り検査を行な

うための第 2 の論理演算手段とをさらに含む、請求項 3 記載の誤り訂正装置。

【請求項 6】 前記第 2 方向誤り検査手段は、前記第 1 および前記第 2 の誤り検査結果の排他的論理和演算を行なうことで、前記第 2 の方向の誤り訂正後の誤り検査を行なう、請求項 1～5 のいずれか 1 項に記載の誤り訂正装置。

【請求項 7】 データブロックの第 1 の方向および第 2 の方向の誤り訂正が可能な積符号を有する誤り訂正符号を含む被訂正データを受けて、前記第 1 の方向について誤り訂正処理を行なうステップと、
前記被訂正データを受けて、前記第 2 の方向について誤り訂正処理を行なうステップと、
誤り訂正前の前記被訂正データと、前記第 1 の方向の誤り訂正によって検出された誤り量とを順次用いて第 1 の誤り検査結果を算出するステップと、
前記第 1 の誤り検出結果に応じて、第 1 の方向の誤り訂正後の誤り検査を行なうステップと、
前記第 2 の方向の誤り訂正時に検出された誤り量を用いて、第 2 の誤り検査結果を算出し、前記第 1 および前記第 2 の誤り検査結果の論理演算を行なうことで、前記第 2 の方向の誤り訂正後の誤り検査を行なうステップとを備える、誤り訂正方法。

【請求項 8】 前記第 2 の方向の誤り訂正後の誤り検査を行なうステップは、
前記第 2 の方向の誤り訂正時に検出された誤り量を用いて、前記データブロックの第 2 の方向に並ぶデータごとに部分検査結果を算出するステップと、
算出された複数の前記部分検査結果を第 1 の方向に集計することにより、第 2 の検査結果を算出するステップとを含む、請求項 7 記載の誤り訂正方法。

【請求項 9】 前記第 2 の方向の誤り訂正後の誤り検査を行なうステップにおいては、
前記第 1 および前記第 2 の誤り検査結果の排他的論理和演算を行なうことで、前記第 2 の方向の誤り訂正後の誤り検査を行なう、請求項 7 または 8 記載の誤り訂正方法。

【請求項 10】 前記第 2 方向誤り検査手段は、
前記第 2 の方向の誤り訂正時に検出された誤り量を用いて、予め設定された前記誤り量と部分検査結果との対応を示す演算テーブルに基づいて、前記データブロックの第 2 の方向に並ぶデータごとに前記部分検査結果を出力する部分誤り検査手段と、
算出された複数の前記部分検査結果を第 1 の方向に集計することにより、第 2 の検査結果を算出する集計誤り検査手段を有する、請求項 1 または 2 記載の誤り訂正装置。

【請求項 11】 前記部分誤り検査手段は、前記第 2 の方向の誤り訂正時に検出された誤り量に対応する誤りデータを複数のステップにわたって順次受け、

前記部分誤り検査手段は、
前ステップにおいて与えられた誤りデータに基づく部分
検査データと現在ステップにおいて与えられた誤りデー
タとの排他的論理和演算結果を出力する排他的論理和演
算手段と、

前記排他的論理和演算手段の出力を受けて、予め設定さ
れた前記誤りデータと部分検査データとの対応を示す演
算テーブルに基づいて、前記部分検査データを出力する
表演算手段と、

前記表演算手段から出力され前記部分検査データを受け
て保持し、現在ステップにおいて、前ステップにおける
前記部分検査データを前記排他的論理和演算手段に与え
るデータ保持手段とを含み、

前記表演算手段は、最後のステップにおいて与えられた
前記誤りデータに基づいて、前記データブロックの第2
の方向に並ぶデータごとに前記部分検査結果を出力す
る、請求項10記載の誤り訂正装置。

【請求項12】 前記表演算手段は、
前記排他的論理和演算手段の出力を受けて、所定数のグ
ループに分割するデータ分割手段と、

前記データ分割手段の出力をそれぞれ受けて、予め設定
された前記誤りデータと部分検査データとの対応を示す
演算テーブルに基づいて、前記部分検査データを出力す
る複数のサブ表演算手段と、

前記複数のサブ表演算手段からの出力を受けて、前記部
分検査データを出力する部分検査演算手段とを含む、請
求項11記載の誤り訂正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ転送システ
ムのための誤り訂正装置および誤り訂正方法に関し、特
に積符号などの多次元符号の誤り訂正と検査を高速に処
理するための装置および方法に関する。

【0002】

【従来の技術】大量の情報量を有する映像情報等の記録
再生や伝送がデジタル信号として行なわれるようになる
に伴い、記録された情報あるいは伝送される情報に対す
る信頼性を高めるために誤り訂正および誤り検査の重要
度が増大する。とくに、リアルタイムでの記録や再生が
必要となる場合、このような大量の情報に対する誤り訂
正や検査を行なうためには、高速な処理が必要になる。

【0003】従来のデータ転送システム、たとえば記録
再生可能な光磁気ディスク装置は、受信したデータに積
符号からなる誤り訂正符号を付加して、記憶媒体にデー
タの格納を行なう。

【0004】その後、格納されたデータは必要に応じて
誤り訂正装置へ呼出され、誤りの訂正がなされた後、誤
り検査符号（以下、EDCとよぶ）で誤り検査がなされ、
誤りがないことが確認された後、外部に出力され

【0005】また、再生専用光ディスク装置においても
同様に、格納されたデータは必要に応じて誤り訂正装置
へ呼出され、誤り訂正がなされた後、誤り検査符号で誤
り検査がなされ、誤りがないことが確認された後、外部
に出力される。

【0006】従来の誤り訂正方法において、たとえば、
DVD (Digital Video Disc) においては、ディスクか
ら読出されたデータは、一旦、たとえばSDRAM (Sy
nchronous Dynamic Random Access Memory) 等の外部半
導体記憶素子のバッファに格納される。その後、誤り訂
正装置によりデータが呼出され、誤りが訂正される。

【0007】たとえば、DVDでは、データを長方形に
並べ、縦方向(PO)と横方向(PI)の2方向の誤り
訂正符号を付加した積符号が用いられる。

【0008】図17は、従来のDVDの誤り訂正積符号
のフォーマットである。2次元に配列された172バイ
ト(Byte)×192行(row)の情報データに、
横方向の10バイト(Byte)のパリティPI(誤り
訂正内符号)と、縦方向の16バイト(Byte)のパ
リティPO(誤り訂正外符号)が付加されたデータを1
ブロックとしている。また、図17において、横方向を
PI方向とも呼び、縦方向をPO方向とも呼ぶことにす
る。

【0009】図18は、図17に示したDVDの誤り訂
正積符号(誤り訂正内符号および誤り訂正外符号)と誤
り検査符号(EDC)との関連を示す図である。

【0010】上記1ブロックは、16個のセクタに分か
れ、1つのセクタは、172Byte×12行のデータ
配列で構成され、これらのデータ配列は、その末尾に4
ByteのEDCを含んでいる。

【0011】図19は、誤り検査符号を含む1セクタの
データ配列を示す図であり、先頭ビットから降順に番号
を割り振ったものである。

【0012】1セクタ分のデータは、ビットデータb1
6511からビットデータb0に至るデータとして配列
されており、ビットデータb31-b0がEDCに対応
している。

【0013】図20は、以上のような構成を有するDV
Dデータに対する誤り訂正および誤り検査を行なう第1
の従来例の構成を説明するための概略ブロック図であ
る。

【0014】図20を参照して、復号を行なう基本的な
パターンは、たとえば以下のような手順による。

【0015】1) データバス21を介して入力信号がデ
ータバッファ(SDRAM)24に格納され、データバ
ッファ24からPI方向誤り訂正回路20がPI方向の
データを読込みシンドロームを計算する。

【0016】2) 上記PI方向のシンドロームの値より
PI方向誤り訂正回路20が、誤り量および誤り位置を
検出し、データバッファ24に格納されているデータに

対して誤り訂正を行なう。

【0017】3) 次に、データバッファ24からPO方向誤り訂正回路22がPO方向のデータを読込みシンドローームを計算する。

【0018】4) 上記PO方向のシンドローームの値によりPO方向誤り訂正回路22が誤り量および誤り位置を算出し、データバッファ24に格納されているデータに対して誤り訂正を行なう。

【0019】以上の処理を繰返すことにより、誤りを訂正する。

5) これらの誤り訂正が終了後、誤り検査回路23が、データバッファ24よりデータを読取り、誤り検査符号を用いて誤りがないことを確認する。

【0020】

【発明が解決しようとする課題】以上のような処理を行なった場合に問題となるのは、誤り訂正後、再度データバッファ(SDRAM)24にアクセスを行ない、誤り検査を行なうため、誤り訂正、誤り検査の作業に多くの時間が必要となることである。

【0021】たとえば、図20に示す構造において、データバッファ24から読出したデータを用いて誤り訂正を行なった後に初めて、データバッファ24からデータを誤り検査回路23に読込むため、比較的時間を要するデータバッファ24からのデータの読み書きの回数が多くなり、それだけ処理に時間が必要となる。

【0022】この問題を解決するため、たとえば、特開平11-55129号公報に開示された方法がある。

【0023】図21は、特開平11-55129号公報に開示された誤り訂正および誤り検査を行なう第2の従来例の構成を説明するための概略ブロック図である。

【0024】図21に示した誤り訂正および誤り検査装置の構造では、誤り訂正回路のためのデータバスと誤り検査回路のためのデータバスが併用される構造を取る。

【0025】また、図22、図23、図24、図25は、それぞれ、図21に示した誤り訂正および誤り検査装置の処理の略図を示す第1～第4の概念図である。

【0026】図22、図23では、説明の簡単のために誤り検査を行なうためのデータを10列×4行=40個と省略してある。

【0027】図21に示した誤り訂正および誤り検査装置を用いた誤り検査は、2段階に分かれて実行される。

【0028】第1段階では、たとえばPI方向の誤り訂正処理のために、バッファ34からデータが読込まれ、図22に示すようなデータ配列の順序にしたがって、DATAシンドローーム生成回路36へ転送し、DATAシンドローームを算出する。

【0029】算出されたDATAシンドローームは、記憶素子32に格納される。一方、第1段階では、DATAシンドローームの算出とは別に、PI方向の誤り訂正回路30によって検知された誤り量を用いて、図22に示す

ようなデータ配列の順序に従って、ERRORシンドローームを算出する。

【0030】第2段階では、さらに、PO方向の誤り訂正回路32によって検査された誤り量を用いて、図23に示すデータ配列の順序に従って、ERRORシンドローームの続きを算出する。

【0031】最後に、図24に示すように、この2つのシンドローーム、つまり、DATAシンドローームとERRORシンドローームとの排他的論理和を排他的論理和演算器35が演算して、最終的な検査シンドローームを算出する。この検査シンドローームに基づいて、判定回路31が誤り検出の結果を判定する。

【0032】したがって、検査シンドローームを生成するために、再度データバッファ34からデータを読込むことを必要としないために、高速に、かつ誤り訂正と誤り検査の処理を並行に行なうことができる。

【0033】さらに、たとえば、PO方向の誤り訂正回路32において、誤り訂正シンドローームを計算した際に、たとえば、第3列(COL3)の符号語に誤りがないうとき、次に行なう誤り量と誤り位置の検出作業を省略する処理に対応して、図25に示すように、ERRORシンドローーム計算時においても、誤りがないう符号語についてはオフセット値を用いて演算の高速化が行なわれる。

【0034】しかし、このオフセット計算のために、ERRORシンドローーム生成回路38においては、縦方向へ1行ずつ演算を行なう場合と、ある列から隣の列に処理を移行する場合と、ある列から1列とばした列に処理を移行する場合にそれぞれ対応して、3種以上のシンドローームに関する演算バスを有する演算処理回路が必要であり、回路規模が増大するという問題があった。

【0035】この発明は、上記のような問題点を解決するためになされたものであって、その目的は、回路規模を増大させることなく、記憶素子へのアクセス時間を短縮し、誤り停止処理と並行して誤り検査処理を行なうことにより、誤り検査処理に対する時間を短縮することが可能な誤り訂正装置を提供することである。

【0036】

【課題を解決するための手段】請求項1記載の誤り訂正装置は、データブロックの第1の方向および第2の方向の誤り訂正が可能な積符号を有する誤り訂正符号を含む被訂正データに対する誤り訂正処理を行なう誤り訂正演算手段を備え、誤り訂正演算手段は、積符号の第1の方向を訂正する第1の誤り訂正手段と、第2の方向を訂正する第2の誤り訂正手段とを含み、被訂正データを格納することが可能な第1の記憶素子と、誤り訂正演算手段による訂正が誤訂正でないことを確認するために、誤り検査符号による誤り検査を行なう誤り検査手段とを備え、誤り検査符号は、データブロックの第1の方向のデータに誤り検査符号を連続的に設けたものであって、誤

り検査手段は、第1の方向の誤り訂正によって検出された誤り量と、第1の記憶素子に格納されたデータとを用いて第1の誤り検査結果を算出する第1の論理演算手段と、第1の誤り検出結果に応じて、第1の方向の誤り訂正後の誤り検査を行なう第1方向誤り検査手段と、第2の方向の誤り訂正時に検出された誤り量を用いて、第2の誤り検査結果を算出し、第1および第2の誤り検査結果の論理演算を行なうことで、第2の方向の誤り訂正後の誤り検査を行なう第2方向誤り検査手段とを含む。

【0037】請求項2記載の誤り訂正装置は、請求項1記載の誤り訂正装置の構成に加えて、被訂正データを受けて一時的に格納するための第2の記憶素子をさらに備え、第1の記憶素子は、第2の記憶素子から読込んだ符号語を格納する。

【0038】請求項3記載の誤り訂正装置は、請求項1または2記載の誤り訂正装置の構成に加えて、第2方向誤り検査手段は、第2の方向の誤り訂正時に検出された誤り量を用いて、データブロックの第2の方向に並ぶデータごとに部分検査結果を算出する部分誤り検査手段と、算出された複数の部分検査結果を第1の方向に集計することにより、第2の検査結果を算出する集計誤り検査手段を有する。

【0039】請求項4記載の誤り訂正装置は、請求項3記載の誤り訂正装置の構成に加えて、少なくとも第2の誤り訂正手段と第1方向誤り検査手段とが並列的に動作する。

【0040】請求項5記載の誤り訂正装置は、請求項3記載の誤り訂正装置の構成に加えて、第2方向誤り検査手段は、第1方向誤り検査手段の検査結果を受けて格納する第3の記憶素子と、第3の記憶素子に格納された第1方向誤り検査手段の検査結果と集計誤り検査手段の検査結果とを受けて、第2の方向の誤り訂正後の誤り検査を行なうための第2の論理演算手段とをさらに含む。

【0041】請求項6記載の誤り訂正装置は、請求項1～5のいずれか1項に記載の誤り訂正装置の構成に加えて、第2方向誤り検査手段は、第1および第2の誤り検査結果の排他的論理和演算を行なうことで、第2の方向の誤り訂正後の誤り検査を行なう。

【0042】請求項7記載の誤り訂正方法は、データブロックの第1の方向および第2の方向の誤り訂正が可能な積符号を有する誤り訂正符号を含む被訂正データを受けて、第1の方向について誤り訂正処理を行なうステップと、被訂正データを受けて、第2の方向について誤り訂正処理を行なうステップと、誤り訂正前の被訂正データと、第1の方向の誤り訂正によって検出された誤り量とを順次用いて第1の誤り検査結果を算出するステップと、第1の誤り検出結果に応じて、第1の方向の誤り訂正後の誤り検査を行なうステップと、第2の方向の誤り訂正時に検出された誤り量を用いて、第2の誤り検査結果を算出し、第1および第2の誤り検査結果の論理演算

を行なうことで、第2の方向の誤り訂正後の誤り検査を行なうステップとを備える。

【0043】請求項8記載の誤り訂正方法は、請求項7記載の誤り訂正方法の構成に加えて、第2の方向の誤り訂正後の誤り検査を行なうステップは、第2の方向の誤り訂正時に検出された誤り量を用いて、データブロックの第2の方向に並ぶデータごとに部分検査結果を算出するステップと、算出された複数の部分検査結果を第1の方向に集計することにより、第2の検査結果を算出するステップとを含む。

【0044】請求項9記載の誤り訂正方法は、請求項7または8記載の誤り訂正方法の構成に加えて、第2の方向の誤り訂正後の誤り検査を行なうステップにおいては、第1および第2の誤り検査結果の排他的論理和演算を行なうことで、第2の方向の誤り訂正後の誤り検査を行なう。

【0045】請求項10記載の誤り訂正装置は、請求項1または2記載の誤り訂正装置の構成に加えて、第2方向誤り検査手段は、第2の方向の誤り訂正時に検出された誤り量を用いて、予め設定された誤り量と部分検査結果との対応を示す演算テーブルに基づいて、データブロックの第2の方向に並ぶデータごとに部分検査結果を出力する部分誤り検査手段と、算出された複数の部分検査結果を第1の方向に集計することにより、第2の検査結果を算出する集計誤り検査手段を有する。

【0046】請求項11記載の誤り訂正装置は、請求項10記載の誤り訂正装置の構成に加えて、部分誤り検査手段は、第2の方向の誤り訂正時に検出された誤り量に対応する誤りデータを複数のステップにわたって順次受け、部分誤り検査手段は、前ステップにおいて与えられた誤りデータに基づく部分検査データと現在ステップにおいて与えられた誤りデータとの排他的論理和演算結果を出力する排他的論理和演算手段と、排他的論理和演算手段の出力を受けて、予め設定された誤りデータと部分検査データとの対応を示す演算テーブルに基づいて、部分検査データを出力する表演算手段と、表演算手段から出力され部分検査データを受けて保持し、現在ステップにおいて、前ステップにおける部分検査データを排他的論理和演算手段に与えるデータ保持手段とを含み、表演算手段は、最後のステップにおいて与えられた誤りデータに基づいて、データブロックの第2の方向に並ぶデータごとに部分検査結果を出力する。

【0047】請求項12記載の誤り訂正装置は、請求項11記載の誤り訂正装置の構成に加えて、表演算手段は、排他的論理和演算手段の出力を受けて、所定数のグループに分割するデータ分割手段と、データ分割手段の出力をそれぞれ受けて、予め設定された誤りデータと部分検査データとの対応を示す演算テーブルに基づいて、部分検査データを出力する複数のサブ表演算手段と、複数のサブ表演算手段からの出力を受けて、部分検査デー

タを出力する部分検査演算手段とを含む。

【0048】

【発明の実施の形態】〔実施の形態1〕

〔ディスク再生装置1000の構成〕図1は、この発明に係る誤り訂正および並行検査装置を備えたディスク再生装置1000の構成を示す概略ブロック図である。

【0049】図1を参照して、ドライブ駆動回路149により駆動されるドライブ141でディスクから読取られたデータは、制御回路144中の信号読取回路142で復調される。サーボ回路143は、信号読取回路142に読み取られる信号に基づいて、ドライブ駆動回路149を制御する。

【0050】ディスクからのデータは、信号読取回路142で復調された後、復号回路147中のデータバッファ14に転送される。転送されたデータは、誤り訂正回路145で誤りが訂正された後、誤り検査回路146で誤りがないことを確認した後、デスクランブル処理が施され、インターフェース148を介して情報データがホストPCへ転送される。

【0051】なお、以下の説明では、DVDを例にとって、これに記録されたデータに対応する積符号の誤り訂正および並行検査装置ならびに方法について説明するが、本発明はこのような場合に限定されることなく、図18に示したように、1ブロックのデータに対して誤り訂正積符号が配置され、かつこの1ブロック中のセクタごとに所定の誤り検査符号が配置されるデータに対する積符号の誤り訂正および並行検査装置ならびに方法に適用可能なものである。

【0052】〔積符号の誤り訂正および並行検査装置の構成〕図2は、図1に示した復号回路147の構成を説明するための概略ブロック図である。また、図3は、復号回路中の排他的論理和回路9の動作を説明するための概念図である。

【0053】以下、この図2を用いて、復号回路147の構成および動作の説明を行なう。復号回路147の処理の第1ステップでは、信号読取回路142からの入力データがデータバス13を介して、データバッファ14に転送される。ここでは、たとえばSDRAMをデータバッファ14として使用するものとする。

【0054】処理の第2ステップでは、データバッファ14より読取られたデータは、第1の方向（PI方向）の誤り訂正回路10に転送される。さらに、並行して、たとえばデータブロックに対して少なくとも1行分のデータが記憶素子11に保存される。

【0055】第3のステップでは、記憶素子11からPI方向の誤り検査回路3へ排他的論理和回路9を介してデータ配列が転送される。このデータのうち、PI方向誤り訂正回路10で誤りが検出されたものに関しては、PI方向誤り訂正回路10より誤り量を出力し、これらの排他的論理和が図3に示すように、排他的論理和回路

9で計算され、誤りが訂正されたデータ配列がPI方向の誤り検査回路3に転送される。

【0056】第4のステップでは、PI方向誤り検査回路3から算出された検査結果データが、PI方向判定回路1に転送される。

【0057】ここでいう検査結果とは、後に詳しく説明するように、たとえば $\{I(x) \bmod g(x)\} \oplus \text{EDC}$ 等の計算結果である。

【0058】PI方向誤り検査回路3で算出された検査結果データは、記憶素子2によって保持され、後に述べるPO方向の誤り検査結果の判定に用いられる。

【0059】第5のステップでは、データバッファ14からPOの誤り訂正回路12にデータ配列が送り込まれ、PO方向の誤り訂正が行なわれる。

【0060】この実施の形態では、誤り訂正の処理速度を高めるために、PI方向の誤り訂正回路10とPO方向の誤り訂正回路12を個別に配備した構成となっている。

【0061】このとき、誤りが検出されたものに関しては、PO方向誤り訂正回路12より誤り量を出力し、誤りのないデータに関しては誤り量を0としたデータ配列が、PO方向の誤り訂正回路12から、PO方向の部分誤り検査回路8に転送される。

【0062】部分誤り検査回路8では、後に詳しく説明するように、列ごとの検査結果を計算し、レジスタ7にその結果を保持する。

【0063】なお、第3のステップのPI方向の誤り訂正が終了した時点で、データバス13を介してデータバッファ14へPO方向誤り訂正回路12からアクセスが可能となるので、以上説明した第5のステップは、第3のステップのPI方向の誤り訂正が終了した時点で開始してもよい。

【0064】第6のステップでは、PO方向の部分誤り検査回路8により計算された結果をレジスタ7より呼出し、PO方向の誤り検査の行方向についての集計をPO方向集計誤り検査回路6にて行なう。

【0065】これらの回路により高速に計算された結果と記憶素子2に保持されたPI方向の誤り検査結果の排他的論理和を排他的論理和回路5で演算して、その結果をPO方向誤り判定回路4に転送することで判定を行なう。

【0066】第7ステップでは、以上説明したように積符号により誤り訂正され、検査の結果誤りのないことが示されたデータバッファ14上の情報データをホストの要求に従って、ホストPCに転送する。

【0067】これらのPI方向およびPO方向の誤り検査は、それぞれPI方向およびPO方向の誤り訂正と、ほぼ並行して実行されるため、処理速度は非常に高速で、かつPI方向およびPO方向のどちらの誤り訂正実行後でも検査が並行して終了しているため、PI方向お

よびPO方向のいずれかの誤り訂正実行後において、検査結果に異常がないことが判明すれば、直ちに情報データのホストへの転送が可能となる。

【0068】ただし、以上の説明では、PI系列の誤り訂正とPO系列の誤り訂正を1回ずつ行なう構成について説明したが、本発明はこのような構成には限定されず、これらPI系列の誤り訂正とPO系列の誤り訂正を2回以上繰返して行なう訂正装置に関しても、適用することは可能である。

【0069】[誤り計算方法の詳細] 次に、本発明の誤り計算

$$EDC_i(x) = \sum_{j=31}^0 b_j \times x^j = I(x) \bmod g(x) \cdots (1)$$

$$I(x) = \sum_{j=16511}^{32} b_j \times x^j \cdots (2)$$

$$g(x) = x^{32} + x^{31} + x^4 + 1 \cdots (3)$$

【0073】すなわち、データによって計算される多項式 $I(x)$ を多項式 $g(x)$ で割り算を行なったときの余り（検査シンジローム）が $EDC_i(x)$ に等しければ誤りがないことを示すものである。

【0074】図4は、図18に示したデータ構成のうちパリティチェックデータを除いた16個のセクタについて、誤り検査の処理におけるデータ処理単位の配列を示す概念図である。

【0075】図4においては、各セクタにおいて、データを処理する単位が4バイト（Byte）であることに応じて、このような4バイトごとのデータを、 i をセクタ番号、 j を列番号、 k を行番号として、データ $data_ijk$ で表す。ここで、 i, j, k はそれぞれ正の整数であり、 $0 \leq i \leq 15, 0 \leq j \leq 42, 0 \leq k \leq 11$ である。

【0076】図5および図6は、以下に説明する誤り訂正および誤り検査の処理において処理されるデータ配列※

$$EDC_i(x) = I(i, 42, 11) = I(x) \bmod g(x) \cdots (4)$$

$$I(x) = I(i, 0, 0) \times x^{32 \times 515} + I(i, 1, 0) \times x^{32 \times 514} + \cdots + I(i, 42, 0) \times x^{32 \times 473} + I(i, 0, 1) \times x^{32 \times 472} + \cdots + I(i, 41, 11) \times x^{32} \cdots (5)$$

$$I(i, j, k) = \sum_{m=0}^{31} b_{ijkm} \times x^m \cdots (6)$$

【0081】ここで、 b_{ijkm} は、図13に示したデータ配列において、データ処理単位 $data_ijk$ に対応するビットデータのうち、下位から第 m ビット目の1ビットのデータを示す。

※り計算の計算方法の詳細を説明する。

【0070】図13に示した単位セクタは、16512個の1ビットのデータから形成され、これらのデータを用いて i 番目のセクタのEDCである EDC_i は以下の式で表わされる。

【0071】以下で、 b_j は図13に示した1ビットのデータである。

【0072】

【数1】

※の順序を示す第1および第2の概念図である。

20 【0077】上述したように図5および6に示すとおり、誤り検査を行なうための1つのセクタ内のデータ処理単位の個数は $43 \times 12 = 516$ 個であり、各データ処理単位 $data_ijk$ は32ビット（8ビット \times 4）の値である。

【0078】このような符号により、基本的にたとえばDVDのフォーマットでの検証が可能である。以下、図5および6に示すようなデータ構造についての誤り訂正を説明する。

30 【0079】各データ処理単位 $data_ijk$ に対応する多項式を、 $I(i, j, k)$ で表わしたとき、 i 番目のセクタに対する EDC_i は、以下の式で定義することにより計算される。

【0080】

【数2】

【0082】したがって、 $\{I(x) \bmod g(x)\} \text{ Exor } I(i, 42, 11)$ が0であれば、この第 i 番目のセクタに誤りがないことを示している。ここで、記号 Exor は、2つの多項式の同次次数

同士の係数の排他的論理和演算を実行し、その結果を係数とする多項式を作る演算であるものとする。

【0083】ここで、上記計算を以下の多項式Yに対する*

$$f_{pi}\{Y\} = (Y \times x^{32}) \bmod g(x) \quad \dots (7)$$

【0085】このような関数fpiを用いると、上記計算は以下の繰返し計算として実行することが可能である。

$$\begin{aligned} F(i, 1, 0) &= f_{pi}\{I(i, 0, 0)\} \text{Exor } I(i, 1, 0) \\ F(i, 2, 0) &= f_{pi}\{F(i, 1, 0)\} \text{Exor } I(i, 2, 0) \\ &\dots \\ F(i, 0, 1) &= f_{pi}\{F(i, 42, 0)\} \text{Exor } I(i, 0, 1) \\ &\dots \\ F(i, 42, 11) &= f_{pi}\{F(i, 41, 11)\} \text{Exor } I(i, 42, 11) \\ &= \{I(x) \bmod g(x)\} \text{Exor } I(i, 42, 11) \end{aligned} \quad \dots (8)$$

【0087】したがって、F(i, 42, 11)が0であれば、この第i番目のセクタに誤りがないことを示している。

【0088】ここで、この演算fpiは、図5の矢印1個分の演算に相当する。これらの演算は、たとえば、テーブル化することにより高速に実行することができる。★

$$f_{po}\{Y\} = (Y \times x^{32 \times 43}) \bmod g(x)$$

... (9)

【0091】たとえば、以下のような2種類の繰返し計算に変形することが可能となる。

i) 1種類目の計算:

$$\begin{aligned} G(i, j, 1) &= f_{po}\{I(i, j, 0)\} \text{Exor } I(i, j, 1) \\ G(i, j, 2) &= f_{po}\{G(i, j, 1)\} \text{Exor } I(i, j, 2) \\ &\dots \\ G(i, j, 11) &= f_{po}\{G(i, j, 10)\} \text{Exor } I(i, j, 11) \end{aligned}$$

... (10)

【0093】ii) 2種類目の計算:

【0094】

*関数fpiを用いて変形することを行なう。

【0084】

【数3】

※【0086】

【数4】

※

★【0089】さらに、第i番目のセクタについての上記式(8)による計算は下記の多項式Yに対する関数fpoを用いることにより変形することができる。

【0090】

【数5】

30 ☆【0092】

【数6】

☆

【数7】

$$\begin{aligned}
 & \text{H}(i, 1, 11) = \text{fpi}\{G(i, 0, 11)\} \text{Exor } G(i, 1, 11) \\
 & \text{H}(i, 2, 11) = \text{fpi}\{\text{H}(i, 1, 11)\} \text{Exor } G(i, 2, 11) \\
 & \dots \\
 & \text{H}(i, 42, 11) = \text{fpi}\{\text{H}(i, 41, 11)\} \text{Exor } G(i, 42, 11) \\
 & = \{I(x) \bmod g(x)\} \text{Exor } I(i, 42, 11) \\
 & \dots (11)
 \end{aligned}$$

【0095】ここで、1種類目の計算は、図2に示したPO方向部分誤り検査回路8の行なう処理に対応し、2種類目の計算は、PO方向集計誤り検査回路6の行なう処理に対応している。

【0096】これは、図6に示すところの列データのみを使って、PO方向部分誤り検査回路8が部分シンドロームを計算し、その後、PO方向部分誤り検査回路8から結果に基づいて、PO方向集計誤り検査回路6が集計演算することにより、誤り検査をすることが可能であることを示す。

【0097】また、この演算には、2種類の計算fpiとfpoだけを用いることで回路が構成できる。

【0098】したがって、図6において、この演算fpiは、PI方向の矢印演算を示し、fpoはPO方向の矢印の演算を示す。

【0099】また、ある列jの誤りがない場合、G(i, j, 11)は計算をする必要がなく、値は0となるので、図19のように3種類のシンドローム演算に対応した余分な回路を必要とせず、非常に簡単で高速な計算をすることが可能となる。

【0100】[誤り訂正および誤り検査の処理フロー]図7は、以上説明した誤り訂正および誤り検査の処理フローを説明するためのフローチャートである。

【0101】図7を参照して、まず、誤り訂正および誤り検査の処理が開始されると(ステップS100)、制御変数CNTの値が0に初期化される(ステップS102)。

【0102】つづいて、変数CNTの値が1だけインクリメントされ(ステップS104)、データバッファ14からデータがPI方向誤り訂正回路10に与えられ(ステップS106)、算出されたシンドロームに基づいて、PI方向の誤り訂正処理が行なわれる(ステップS108)。

【0103】PI方向の誤り訂正が終了すると、引き続いて、PI方向誤り検査回路3において、PI方向の誤り検査が実行される(ステップS110)。

【0104】PI方向の誤り検査の結果、全セクタにつ

いて、PI方向についての誤り検査の結果EDCPIi(i=0~15)が0であるかが判断される(ステップS112)。全セクタについて、PI方向についての誤り検査の結果EDCPIiが0であれば、誤りはすべて訂正されているものとして、処理が終了する(ステップS122)。

【0105】一方、1つのセクタについてでもPI方向についての誤り検査の結果EDCPIiが0でない場合は、PO方向誤り訂正回路12にデータバッファ14からデータが与えられる(ステップS114)。

【0106】PO方向の誤り訂正処理が行なわれ(ステップS116)、PO方向の誤り訂正が終了すると、引き続いて、PO方向部分誤り検査回路8およびPO方向集計誤り検査回路6において、PO方向の誤り検査が実行される(ステップS118)。

【0107】PO方向の誤り検査の結果、全セクタについて、PO方向についての誤り検査の結果EDCPOi(i=0~15)が0であるか、および制御変数CNTの値が2であるかが判断される(ステップS120)。全セクタについて、PO方向についての誤り検査の結果EDCPIiが0であれば、誤りはすべて訂正されているものとして、また変数CNT=2の場合は必要回数分の処理が終了したものとして処理が終了する(ステップS122)。

【0108】一方、全セクタについて、PO方向についての誤り検査の結果EDCPIiが0でなく、かつ、変数CNT=2でない場合は、処理はステップS104に復帰する(ステップS120)。

【0109】なお、以上の説明では、PI方向の誤り検査が終了した後に、PO方向の誤り訂正処理を行なうこととしたが、PI方向の誤り訂正が終了した後に、並行してPO方向の誤り訂正処理を行なうこととしてもよい。

【0110】また、誤り訂正と誤り検査は、2回通り行なうこととしたが、システムの動作条件等により、この回数は1回でも、あるいは、3回以上でも構わない。

【0111】図8は、図7に示したステップS110の

PI方向誤り検査処理を説明するためのフローチャートである。

【0112】まず、PI方向誤り検査処理が開始すると（ステップS200）、つづいて、セクタ番号を示すセクタ番号変数*i*（*i*：正の整数）の値が0に初期化される（ステップS202）。

【0113】つづいて、16セクタ分のEDC検査を行なう処理ループLB201～LE201に処理が移行する。つまり、処理ループLB201からLE201までの処理が、16セクタ分について行なわれるまで繰り返される（ループLB201～LE201）。 10

【0114】まず、*i*番目のセクタに対応するセクタEDC値変数EDCPI*i*の値を0に初期化し、行番号変数*k*の値も0に初期化する（ステップS204）。ここで、セクタEDC値変数EDCPI*i*は、式（8）に示した計算を行なうための変数である。

【0115】つづいて、各セクタ内のEDC検査を行な*

EDCPI*i*

$$= f p i \{ E D C P i \} E x o r \text{ data_} i j k \quad \cdots (12)$$

の演算を行なう。

【0119】つぎに、変数*j*の値が1だけインクリメントされて、処理がデータ処理単位の次の列に移行する（ステップS212）。

【0120】1つのデータ処理単位の行に含まれるすべてのデータ処理単位の列について、ステップS208～S212の処理を繰り返す（ループLB203～LE203）。

【0121】つぎに、変数*k*の値が1だけインクリメントされて、処理がデータ処理単位の次の行に移行する（ステップS214）。

【0122】セクタ内のデータに対する処理が終了するまで、ステップS206～S214の処理を繰り返す（ループLB202～LE202）。

【0123】1つのセクタの処理が終了すると、変数*i*の値が1だけインクリメントされて、次のセクタに処理が移行して（ステップS216）、再び、処理はステップS202に復帰する。全セクタの処理が終了するまで、ステップS202からステップS216までの処理が繰り返される（ループLB201～LE201）。

【0124】全セクタに対する処理が終了すると、PI方向誤り検査処理が終了する（ステップS218）。 40

【0125】図9および図10は、図7に示したPO方向誤り検査処理のステップS118を説明するための第1および第2のフローチャートである。

【0126】まず、PO方向誤り検査処理が開始すると（ステップS300）、列番号変数*j*の値が0に初期化される（ステップS302）。 ※

EDCPO*ij*

$$= f p o \{ E D C P O i j \} E x o r \text{ data_} i j k \quad \cdots (13)$$

の演算を行なう。

*う処理ループLB202～LE202に処理が移行する。つまり、処理ループLB202からLE202までの処理が、セクタ内のすべてのデータについて行なわれるまで繰り返される（ループLB202～LE202）。

【0116】まず、列番号変数*j*の値が0に初期化される（ステップS206）。つぎに、各セクタ内の行ごとの処理を行なう処理ループLB203～LE203に処理が移行する。つまり、処理ループLB203からLE203までの処理が、1つのデータ処理単位の行に含まれるすべてのデータ処理単位の列について行なわれるまで繰り返される（ループLB203～LE203）。

【0117】処理ループLB203～LE203においては、PI方向誤り検査回路3は、PI方向に4バイトごとのデータを読み取り、変数data__*ijk*に代入する（ステップS208）。

【0118】次に、上記式（8）に基づいて、

20 ※【0127】つづいて、すべての列に対応する部分誤り検査を行なう処理ループLB301～LE301に処理が移行する。つまり、処理ループLB301からLE301までの処理が、すべての列について行なわれるまで繰り返される（ループLB301～LE301）。

【0128】まず、セクタ番号変数*i*の値が0に初期化される（ステップS304）。つぎに、各列に対応する部分誤り検査を行なう処理ループLB302～LE302に処理が移行する。

30 【0129】まず、列毎のセクタEDC値を表すセクタEDC値変数EDCPO*ij*の値と、行番号変数*k*の値を0に初期化する（ステップS306）。ここで、セクタEDC値変数EDCPO*ij*は、式（10）で示した1種類目の計算を行なうための変数である。ただし、以下に説明するように、図9に示した処理では、式（10）に示したデータを用いて処理をそのまま行なうのではなく、誤り量だけを用いて処理を単純化している。

【0130】すなわち、つづいて、セクタ毎の部分誤り検査を行なう処理ループLB303～LE303に処理が移行する。（ループLB303～LE303）。

40 【0131】処理ループLB303～LE303においては、PO方向部分誤り検査回路8は、誤りが検出されている位置にはその誤り量を、それ以外の位置には0を配したデータを、PO方向に4バイトごと読み取り、変数data__*ijk*に代入する（ステップS308）。なお、検査する列に誤りが検出されない場合は処理ループLB302～LE302を省略することが可能である。

※ 【0132】次に、上記式（10）に基づいて、

50 【0133】行番号変数*k*の値を1だけインクリメント

し、処理が次の行に移行する（ステップS312）。

【0134】i番目のセクタのj番目の列内のデータに対する処理が終了するまで、ステップS308～S312を繰り返す（ループLB303～LE303）。

【0135】i番目のセクタのj番目の列の処理が終了すると、変数iの値が1だけインクリメントされ、次のセクタに処理が移行して（ステップS314）、再び、処理はステップS306に復帰する。15番目のセクタのj番目の列に対する処理が終了するまで、ステップS306からステップS314までの処理が繰り返される（ループLB302～LE302）。

【0136】すべてのセクタのj番目の列に対する処理が終了すると、変数jの値が1だけインクリメントされ、次の列に処理が移行して（ステップS316）、再び、処理はステップS304に復帰する。42番目の列に対する処理が終了するまで、ステップS304からステップS316までの処理が繰り返される（ループLB301～LE301）。 *

EDCPOi

= fpi {EDCPOi} Exor EDCPOij

… (14)

の演算および代入処理を行なう（ステップS324）。

【0142】次に、変数jの値を1だけインクリメントし、処理は次の列に移行する（ステップS326）。

【0143】処理中のセクタのすべての列に対する処理が終了するまで、ステップS324～S326を繰り返す（ループLB305～LE305）。

【0144】i番目のセクタのすべての列についての処理が終了すると、つづいて、排他的論理和演算器5により

EDCPOi = EDCPIi Exor EDCPOi
という演算処理が行なわれる（ステップS328）。これにより、i番目のセクタについて誤りが存在するか否かの判定が、PO方向判定回路4により行なわれる。

【0145】制御変数iの値が1だけインクリメントされ（ステップS330）、次のセクタに処理が移動して、再び、処理はステップS322に復帰する。最後セクタの処理が終了するまで、ステップS322からステップS330までの処理が繰り返される（ループLB304～LE304）。 *

※40

$$fpo\{J_k(x)\} = \{J_k(x) \times x^{43 \times 32}\} \bmod \{g(x)\}$$

… (15)

【0151】ここで、g(x)は32次の多項式である。したがって、式(15)を実行するためには33ビットの演算器を用いることで実行することが可能である。しかしながら、実施の形態2においては、より演算速度を向上させるために、 2^{32} 通りの数値に対する演算結果の表を予め準備しておき、この表に基づいて式(15)に対応する演算処理を行なう構成とする。

【0152】なお式(10)に示されているとおり、J

*【0137】図10を参照して、ループLB301～LE301の処理が終了すると続いて、変数i値が0にリセットされる（ステップS320）。

【0138】つづいて、集計誤り検査を行なう処理ループLB304～LE304に処理が移行する。つまり、処理ループLB304からLE304までの処理が、すべてのセクタについて行なわれるまで繰り返される（ループLB304～LE304）。

【0139】つぎに、i番目のセクタに対応するEDC値変数EDCPOiの値と変数jの値が0に初期化される（ステップS322）。

【0140】つづいて、各セクタに対応する集計誤り検査を行なう処理ループLB305～LE305に処理が移行する。

【0141】処理ループLB305～LE305においては、PO方向集計誤り検査回路6は、PI方向に、上記式(11)に基づいて、

※【0146】ループLB304～LE304の処理が終了すると、誤り訂正、検査の処理は終了し、次の処理（図7の処理ステップS120）に移行する（ステップS320）。

【0147】〔実施の形態2〕実施の形態1で説明したとおり、誤り検査の対象となる単位セクタは、図19に示した16512個のデータ(bi)から形成され、これらのデータを用いてi番目のセクタに対するEDCiは、式(1)～(3)により表される。

【0148】実施の形態1においては、式(1)で表されるこのEDCi(x)を計算するにあたり、式(9)で定義される関数fpoより演算を単純化することにより、図2に示すPO方向部分誤り検査回路8が、図9のステップS310において説明したように、式(13)により表される演算を行なう構成となっていた。

【0149】以下では、説明の簡単のために、関数fpoより行なわれる処理を以下の式(15)により表す。

【0150】

【数8】

k(x)としては、たとえば、式(6)で表される式が代入される。

【0153】図11は、このような構成での演算を実現するPO方向部分誤り検査回路8の構成を説明するための概略ブロック図である。

【0154】図11を参照して、PO方向部分誤り検査回路8は、PO方向誤り訂正回路12の出力を受ける排他的論理和演算回路82と、排他的論理和演算回路82

の出力を受けて、上述したような32ビットデータに対する 2^{32} 通りの演算結果に対応する表に基づいて、式

(15)で表される演算結果を出力する表変換回路84と、表変換回路84の出力を受けて一時保持するためのレジスタ回路86とを含む。

【0155】排他的論理和演算回路82は、PO方向誤り訂正回路12から与えられる $I(i, j, k)$ ($k=1\sim 11$)を順次受け、レジスタ86に保持された1ステップ前の表変換回路84の出力との排他的論理和演算結果を再び表変換回路84に与える。

【0156】すなわち、排他的論理和演算回路82、表変換回路84およびレジスタ86からなる処理ループにより式(10)に相当する演算を行なうことが可能である。

【0157】図12および図13は、図11に示したPO方向部分誤り検査回路8と、レジスタ7およびPO方向集計誤り検査回路6の行なう動作を説明するためのフローチャートであり、実施の形態1の図9および図10と対比される図である。

【0158】図12および図13に示した処理が、図9に示した処理と異なる点は、ステップS310'において、PO方向誤り訂正回路12から与えられるデータ $data_ijk$ と、レジスタ回路86に保持されたデータ等を排他的論理和演算回路82が排他的論理和演算した結果に対して、表変換回路84が変換処理を行なうことで、変数 $EDCPOij$ の値を更新して、レジスタ86に再び与える処理を行なう構成となっている点である。

$$J_k(x) = J_{k-0}(x) \times x^{24} + J_{k-1}(x) \times x^{16} + J_{k-2}(x) \times x^8 + J_{k-3}(x) \quad \cdots (16)$$

【0166】すなわち、 $J_k(x)$ は7次の式 J_{k-i} (30)※は、以下の式(17)のように変形することができる。
(x)を用いて4分割することが可能である。

【0167】この式(16)を用いると、式(15) ※ 【数10】

$$\begin{aligned} fpo\{J_k(x)\} = & \{J_{k-0}(x) \times x^{24} \times x^{43 \times 32}\} \bmod \{g(x)\} + \{J_{k-1}(x) \times x^{16} \times x^{43 \times 32}\} \bmod \{g(x)\} + \\ & \{J_{k-2}(x) \times x^8 \times x^{43 \times 32}\} \bmod \{g(x)\} + \{J_{k-3}(x) \times x^{43 \times 32}\} \bmod \{g(x)\} \quad \cdots (17) \end{aligned}$$

【0169】したがって、式(17)の各項に対応して、後に説明するように 2^8 通りの表を予め備えこの表に基づいてPO方向部分誤り検査の演算処理を行なう表変換回路が4個と、これら4個の表変換回路からの出力に対して排他的論理和演算を行なうための排他的論理和演算器を3個設けることで、演算処理を行なうことが可能となる。

【0170】図14は、このような構成を有するPO方向部分誤り検査回路8の構成を説明するための概略ブロック図である。

【0171】図14を参照して、実施の形態3のPO方向部分誤り検査回路8は、PO方向誤り訂正回路12か

＊る。

【0159】その他の点は、図9および図10に示した処理と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0160】以上のような構成により、PO方向部分誤り検査回路8は、予め設けられている表(テーブル)に基づいて変数 $EDCPOij$ の値を更新する処理を行なうので、演算処理が高速化され、誤り訂正時間が短縮されるという効果がある。

10 【0161】【実施の形態3】実施の形態2においては、PO方向部分誤り検査回路8の行なう処理、すなわち式(15)で表される処理を、予め計算した結果に基づいて生成された表により演算処理する表変換回路84により演算処理する構成について説明した。

【0162】実施の形態3においては、式(15)で表される演算処理を、さらにより高速に行なうための構成について説明する。

【0163】なお、実施の形態3の復号回路の構成も、図2に示した復号回路147の構成と基本的に同様である。以下に説明するように、PO方向部分誤り検査回路8の構成が異なる。

【0164】すなわち、式(15)において、式 $J_k(x)$ は、以下の式(16)のように分解することができる。

【0165】

【数9】

らのデータ $data_ijk$ を受ける排他的論理和演算回路802と、排他的論理和演算回路802の出力を受けて8ビットごとのデータに分割するためのデータ分割回路804と、データ分割回路804から出力される8ビットごとのデータをそれぞれ受けて、式(17)の各項に対応する演算を予め計算された 2^8 通りの表に基づいて、それぞれ計算するための表変換回路810、812、814および816と、表変換回路810および812の出力を受けて、排他的論理和演算結果を出力するための排他的論理和演算回路820と、表変換回路814および816の出力を受けて、排他的論理和演算結果を出力する排他的論理和演算回路822と、排他的論理

和演算回路820および822の出力を受けて、排他的論理和演算結果を、図2に示すレジスタ7に対して出力するための排他的論理和演算回路824と、排他的論理和演算回路824の出力を受けて、一時格納するためのレジスタ826とを含む。

【0172】排他的論理和演算回路802は、PO方向誤り訂正回路12からのデータdata_ijkとレジスタ826からの出力とを受けて、排他的論理和演算処理を行ない、その結果をデータ分割回路804に与える。

【0173】図15および図16は、図14に示した実施の形態3のPO方向部分誤り検査回路8と、図2に示したレジスタ7およびPO方向集計誤り検査回路6が行なう処理を説明するためのフローチャートである。

【0174】図15および図16を参照して、まず、PO方向誤り検査処理が開始されると（ステップS400）、列番号変数jの値が0に初期化される（ステップS402）。

【0175】続いて、すべての列に対する部分誤り検査を行なう処理ループLB401～LE401に処理が移行する。つまり、処理ループLB401～LE401までの処理が、すべての列について行なわれるまで繰返される（ループLB401～LE401）。

【0176】まず、セクタ番号変数iの値が0に初期化される（ステップS404）。次に、各列に対応する部分誤り検査を行なうための処理ループLB402～LE402に処理が移行する。

【0177】まず、列ごとのセクタEDC値を表すセクタEGC値変数EDCPOijの値と、行番号変数kの値を0に初期化する（ステップS406）。ここで、セクタEDC値変数EDCPOijは、式(17)で表した計算を行なうための変数である。ただし、図9に示した処理と同様に、式(17)で処理されるのは、誤り行に対応するデータだけである。

【0178】続いて、セクタごとの部分誤り検査を行なう処理ループLB403～LE403に処理が移行する（ループLB403～LE403）。

【0179】処理ループLB403～LE403においては、PO方向部分誤り検査回路8は、誤りが検出されている位置にはその誤り量を、それ以外の位置には0を配したデータを、PO方向ごとに4バイトごとと読取り、データ分割回路804は、このデータを先頭から1バイトずつに分割する。以下、この分割された1バイトずつのデータを変数H1～H4と表す（ステップS408）。この処理に対応して、表変換回路810～816*

*に、それぞれ変数H1～H4に対応する値が与えられる。

【0180】表変換回路810は、変数H1に対応するデータをデータ分割回路804から受取り、先頭から1バイトがこの変数H1の値に等しく、残り3バイトのビットデータがすべて0に対応する4バイトの値に変換して、これに対応するテーブル（演算表）に従って変換し出力する。この表変換回路810の出力するデータを変数HAと表す（ステップS410）。この処理に対応して、表変換回路810からの出力が排他的論理和演算回路820に与えられる。

【0181】表変換回路812は、変数H2に対応するデータをデータ分割回路804から受取り、先頭から2バイト目の1バイト分のデータがこの変数H2の値に等しく、残り3バイトのビットデータがすべて0に対応する4バイトの値に変換して、これに対応するテーブル（演算表）に従って変換し出力する。この表変換回路812の出力するデータを変数HBと表す（ステップS412）。この処理に対応して、表変換回路812からの出力が排他的論理和演算回路820に与えられる。

【0182】表変換回路814は、変数H3に対応するデータをデータ分割回路804から受取り、先頭から3バイト目の1バイト分のデータがこの変数H3の値に等しく、残り3バイトのビットデータがすべて0に対応する4バイトの値に変換して、これに対応するテーブル（演算表）に従って変換し出力する。この表変換回路814の出力するデータを変数HCと表す（ステップS414）。この処理に対応して、表変換回路814からの出力が排他的論理和演算回路822に与えられる。

【0183】表変換回路816は、変数H4に対応するデータをデータ分割回路804から受取り、先頭から4バイト目の1バイト分のデータがこの変数H4の値に等しく、残り3バイトのビットデータがすべて0に対応する4バイトの値に変換して、これに対応するテーブル（演算表）に従って変換し出力する。この表変換回路816の出力するデータを変数HDと表す（ステップS416）。この処理に対応して、表変換回路816からの出力が排他的論理和演算回路822に与えられる。

【0184】続いて、セクタEDC値変数EDCPOijの値は、排他的論理和演算回路820、822および824により、以下の式(18)による処理により演算される（ステップS418）。

【0185】

【数11】

$$EDCPOij = (HA)Exor(HB)Exor(HC)Exor(HD) \quad \dots (18)$$

【0186】行番号変数kの値を1だけインクリメントし、処理が次の行に移行する（ステップS420）。

【0187】i番目のセクタのj番目の列内のデータに

対する処理が終了するまで、ステップS408～S412を繰返す（ループLB403～LE403）。

【0188】図16を参照して、i番目のセクタのj番

目の列の処理が終了すると、変数 i の値が 1 だけインクリメントされ、次のセクタに処理が移行して（ステップ S 4 2 2）、再び、処理はステップ S 4 0 6 に復帰する。15 番目のセクタの j 番目の列に対する処理が終了するまで、ステップ S 4 0 6 からステップ S 4 2 2 までの処理が繰り返される（ループ LB 4 0 2 ~ LE 4 0 2）。

【0189】すべてのセクタの j 番目の列に対する処理が終了すると、変数 j の値が 1 だけインクリメントされ、次の列に処理が移行して（ステップ S 4 2 4）、再び、処理はステップ S 4 0 4 に復帰する。42 番目の列に対する処理が終了するまで、ステップ S 4 0 4 からステップ S 4 2 4 までの処理が繰り返される（ループ LB 4 0 1 ~ LE 4 0 1）。

【0190】ループ LB 4 0 1 ~ LE 4 0 1 の処理が終了すると続いて、変数 i 値が 0 にリセットされる（ステ *

EDCPO i

= f p i {EDCPO i } Exor EDCPO i j

の演算および代入処理を行なう（ステップ S 4 3 4）。

【0195】次に、変数 j の値を 1 だけインクリメントし、処理は次の列に移行する（ステップ S 4 3 6）。

【0196】処理中のセクタのすべての列に対する処理が終了するまで、ステップ S 4 3 4 ~ S 4 3 6 を繰り返す（ループ LB 4 0 5 ~ LE 4 0 5）。

【0197】 i 番目のセクタのすべての列についての処理が終了すると、つづいて、排他的論理和演算器 5 により

EDCPO i = EDCPI i Exor EDCPO i という演算処理が行なわれる（ステップ S 4 3 8）。これにより、 i 番目のセクタについて誤りが存在するか否かの判定が、PO 方向判定回路 4 により行なわれる。

【0198】制御変数 i の値が 1 だけインクリメントされ（ステップ S 4 4 0）、次のセクタに処理が移動して、再び、処理はステップ S 4 3 2 に復帰する。最後セクタの処理が終了するまで、ステップ S 4 3 2 からステップ S 4 4 0 までの処理が繰り返される（ループ LB 4 0 4 ~ LE 4 0 4）。

【0199】ループ LB 4 0 4 ~ LE 4 0 4 の処理が終了すると、誤り訂正、検査の処理は終了し、次の処理（図 7 の処理ステップ S 1 2 0）に移行する（ステップ S 4 4 2）。

【0200】以上のような処理によっても、PO 方向部分誤り検査回路 8 の処理を行なうことができ、かつ、PO 方向部分誤り検査処理を 8 ビットごとに分割してテーブルを用い、かつ並列処理を行なうので、より高速に処理を行なうことが可能となる。

【0201】なお、ここで、一般に、関数 $f p o$ は、元のデータを n ビット、データの分割数を m とすると（ m は n の約数）、表の大きさとして必要なのは $2^{(n/m)}$ 個

* ップ S 4 3 0）。

【0191】つづいて、集計誤り検査を行なう処理ループ LB 4 0 4 ~ LE 4 0 4 に処理が移行する。つまり、処理ループ LB 4 0 4 から LE 4 0 4 までの処理が、すべてのセクタについて行なわれるまで繰り返される（ループ LB 4 0 4 ~ LE 4 0 4）。

【0192】つぎに、 i 番目のセクタに対応する EDC 値変数 EDCPO i の値と変数 j の値が 0 に初期化される（ステップ S 4 3 2）。

【0193】つづいて、各セクタに対応する集計誤り検査を行なう処理ループ LB 4 0 5 ~ LE 4 0 5 に処理が移行する。

【0194】処理ループ LB 4 0 5 ~ LE 4 0 5 においては、PO 方向集計誤り検査回路 6 は、PI 方向に、上記式 (11) に基づいて、

... (14)

のデータに対応する大きさであり、表の数は m 個だけ必要となる。また、排他的論理和演算器の数は $(m-1)$ 個となる。ただし、1 個の演算機で n ビットの演算ができるものとする。

【0202】したがって、このように分割した表に基づいて計算する表変換回路を用いることで、大幅に回路規模を削減することができる。

【0203】さらに、この発明によれば、記憶素子および回路規模を増加させることなく、記憶素子へのアクセス時間を短縮し、誤り訂正処理と並行して誤り検査処理を行なうことにより、誤り検査処理に要する時間を短縮することが可能となる。

【0204】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0205】

【発明の効果】この発明によれば、記憶素子および回路規模を増加させることなく、記憶素子へのアクセス時間を短縮し、誤り訂正処理と並行して誤り検査処理を行なうことにより、誤り検査処理に要する時間を短縮することが可能となる。

【図面の簡単な説明】

【図 1】 この発明に係る誤り訂正および並行検査装置を備えたディスク再生装置 1000 の構成を示す概略ブロック図である。

【図 2】 図 1 に示した復号回路 147 の構成を説明するための概略ブロック図である。

【図 3】 復号回路中の排他的論理和回路 9 の動作を説

明するための概念図である。

【図4】 誤り検査の処理におけるデータ処理単位の配列を示す概念図である。

【図5】 誤り訂正および誤り検査の処理において処理されるデータ配列の順序を示す第1の概念図である。

【図6】 誤り訂正および誤り検査の処理において処理されるデータ配列の順序を示す第2の概念図である。

【図7】 誤り訂正および誤り検査の処理フローを説明するためのフローチャートである。

【図8】 図7に示したステップS110のPI方向誤り検査処理を説明するためのフローチャートである。

【図9】 図7に示したPO方向誤り検査処理を説明するための第1のフローチャートである。

【図10】 図7に示したPO方向誤り検査処理を説明するための第2のフローチャートである。

【図11】 PO方向部分誤り検査回路8の構成を説明するための概略ブロック図である。

【図12】 PO方向部分誤り検査回路8と、レジスタ7およびPO方向集計誤り検査回路6の行なう動作を説明するための第1のフローチャートである。

【図13】 PO方向部分誤り検査回路8と、レジスタ7およびPO方向集計誤り検査回路6の行なう動作を説明するための第2のフローチャートである。

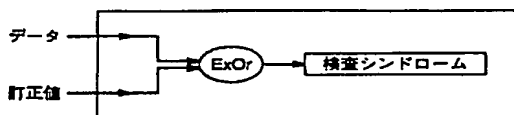
【図14】 PO方向部分誤り検査回路8の構成を説明するための概略ブロック図である。

【図15】 PO方向部分誤り検査回路8とレジスタ7およびPO方向集計誤り検査回路6が行なう処理を説明するための第1のフローチャートである。

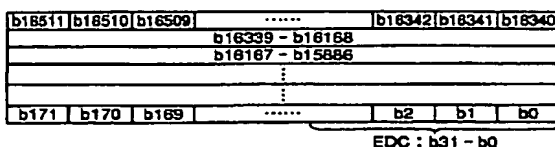
【図16】 PO方向部分誤り検査回路8とレジスタ7およびPO方向集計誤り検査回路6が行なう処理を説明するための第2のフローチャートである。

【図17】 従来のDVDの誤り訂正積記号のフォーマットである。

【図3】



【図19】



【図18】 図17に示したDVDの誤り訂正積符号と誤り検査符号(EDC)との関連を示す図である。

【図19】 誤り検査符号を含む1セクタのデータ配列を示す図であり、先頭ビットから降順に番号を割り振ったものである。

【図20】 DVDデータに対する誤り訂正および誤り検査を行なう第1の従来例の構成を説明するための概略ブロック図である。

【図21】 第2の従来例の構成を説明するための概略ブロック図である。

【図22】 図21に示した誤り訂正および誤り検査装置の処理の略図を示す第1の概念図である。

【図23】 図21に示した誤り訂正および誤り検査装置の処理の略図を示す第2の概念図である。

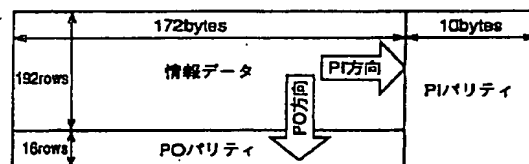
【図24】 図21に示した誤り訂正および誤り検査装置の処理の略図を示す第3の概念図である。

【図25】 図21に示した誤り訂正および誤り検査装置の処理の略図を示す第4の概念図である。

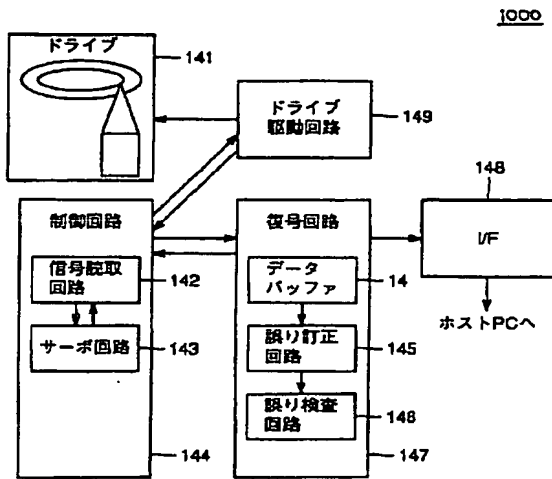
【符号の説明】

- 1 PI方向判定回路、2 記憶素子、3 PI方向誤り検査回路、4 PO方向判定回路、5、9 排他的論理和回路、6 PO方向集計誤り検査回路、7 レジスタ、8 PO方向部分誤り検査回路、10 PI方向誤り訂正回路、11 記憶素子、12 PO方向誤り訂正回路、13 データバス、14 データバッファ、82 排他的論理和演算回路、84 表変換回路、86 レジスタ、141 ドライブ、142 信号読取回路、143 サーボ回路、144 制御回路、145 誤り訂正回路、146 誤り検査回路、147 復号回路、148 インターフェース回路、149 ドライブ駆動回路、802、820、822、824 排他的論理和演算回路、804 データ分割回路、810、812、814、816 表変換回路、826 レジスタ。

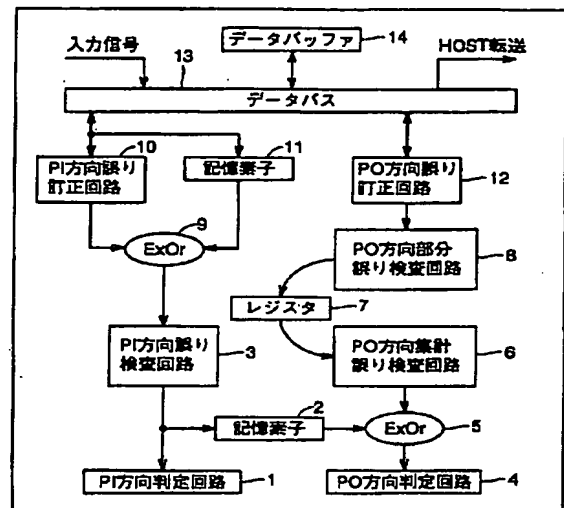
【図17】



【図1】



【図2】



【図4】

1データ処理単位 data_i | k
4byte
i: セクタ番号
j: 列番号
k: 行番号

data ₀ 0 0 0	data ₀ 0 1 0	data ₀ 0 2 0		data ₀ 41 0	data ₀ 42 0
data ₀ 0 0 1	data ₀ 0 1 1	data ₀ 0 2 1		data ₀ 41 1	data ₀ 42 1
セクタ番号 j=0			}}		
data ₀ 0 0 11	data ₀ 0 1 11	data ₀ 0 2 11		data ₀ 41 11	data ₀ 42 11
data ₁ 0 0 0	data ₁ 0 1 0	data ₁ 0 2 0		data ₁ 41 0	data ₁ 42 0
i=1			}}		
data ₁ 0 0 11	data ₁ 0 1 11	data ₁ 0 2 11		data ₁ 41 11	data ₁ 42 11
			}}		
data ₁₅ 0 0 0	data ₁₅ 0 1 0	data ₁₅ 0 2 0		data ₁₅ 41 0	data ₁₅ 42 0
i=15			}}		
data ₁₅ 0 0 11	data ₁₅ 0 1 11	data ₁₅ 0 2 11		data ₁₅ 41 11	data ₁₅ 42 11

【図6】

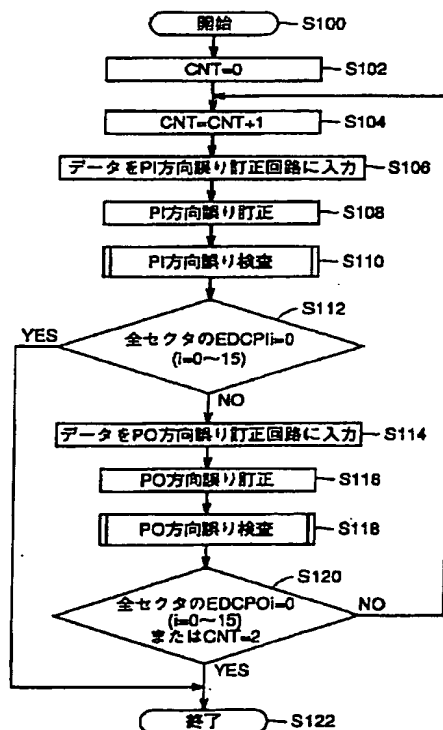
	列0	列1	列2	列3	列4	列5	列6		列41	列42
行0	I(0,0)	I(1,0)	I(2,0)	I(3,0)	I(4,0)	I(5,0)	I(6,0)		I(41,0)	I(42,0)
行1	I(0,1)	I(1,1)	I(2,1)	I(3,1)	I(4,1)	I(5,1)	I(6,1)		I(41,1)	I(42,1)
行11	I(0,11)	I(1,11)	I(2,11)	I(3,11)	I(4,11)	I(5,11)	I(6,11)		I(41,11)	I(42,11)

	列0	列1	列2	列3	列4	列5	列6		列41	列42
G(I,j,11)	G(I,0,11)	G(I,1,11)	G(I,2,11)	G(I,3,11)	G(I,4,11)	G(I,5,11)	G(I,6,11)		G(I,41,11)	G(I,42,11)

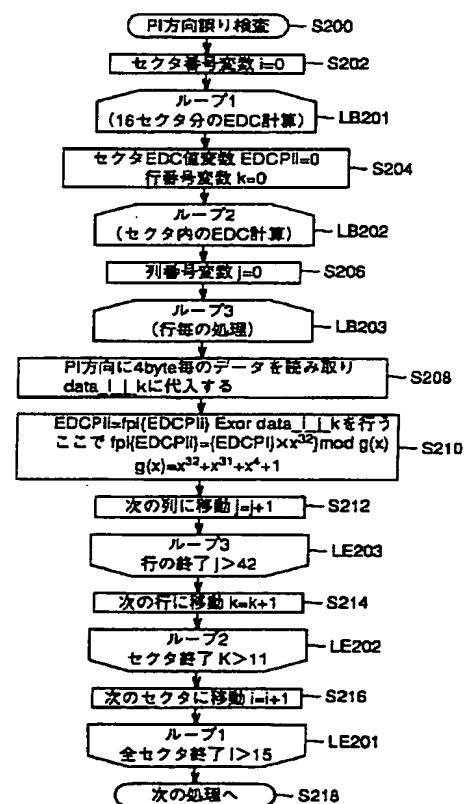
【図5】

		列0	列1	列2	列3	列4	列5	列6		列41	列42
セクタ0	行0	I(0,0,0)	I(0,1,0)	I(0,2,0)	I(0,3,0)	I(0,4,0)	I(0,5,0)	I(0,6,0)		I(0,41,0)	I(0,42,0)
	行1	I(0,0,1)	I(0,1,1)	I(0,2,1)	I(0,3,1)	I(0,4,1)	I(0,5,1)	I(0,6,1)		I(0,41,1)	I(0,42,1)
	行11	I(0,0,11)	I(0,1,11)	I(0,2,11)	I(0,3,11)	I(0,4,11)	I(0,5,11)	I(0,6,11)		I(0,41,11)	I(0,42,11)
セクタ1	行0	I(1,0,0)	I(1,1,0)	I(1,2,0)	I(1,3,0)	I(1,4,0)	I(1,5,0)	I(1,6,0)		I(1,41,0)	I(1,42,0)
	行1	I(1,0,1)	I(1,1,1)	I(1,2,1)	I(1,3,1)	I(1,4,1)	I(1,5,1)	I(1,6,1)		I(1,41,1)	I(1,42,1)
	行11	I(1,0,11)	I(1,1,11)	I(1,2,11)	I(1,3,11)	I(1,4,11)	I(1,5,11)	I(1,6,11)		I(1,41,11)	I(1,42,11)
セクタ15	行0	I(15,0,0)	I(15,1,0)	I(15,2,0)	I(15,3,0)	I(15,4,0)	I(15,5,0)	I(15,6,0)		I(15,41,0)	I(15,42,0)
	行1	I(15,0,1)	I(15,1,1)	I(15,2,1)	I(15,3,1)	I(15,4,1)	I(15,5,1)	I(15,6,1)		I(15,41,1)	I(15,42,1)
	行11	I(15,0,11)	I(15,1,11)	I(15,2,11)	I(15,3,11)	I(15,4,11)	I(15,5,11)	I(15,6,11)		I(15,41,11)	I(15,42,11)

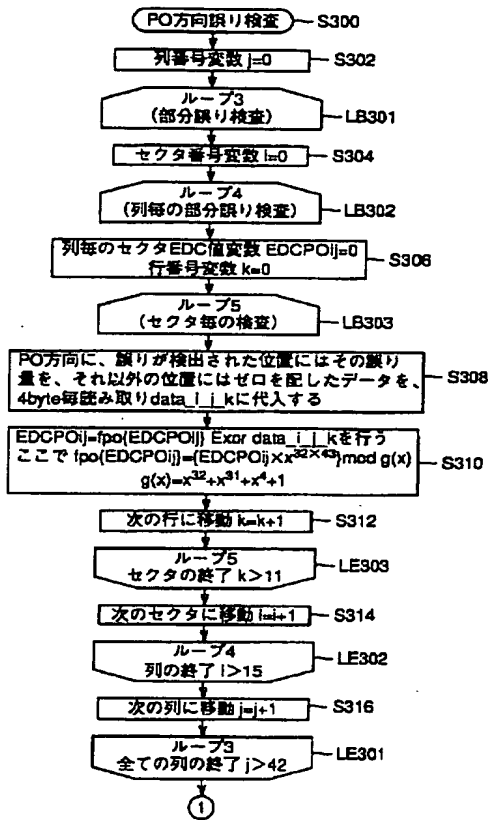
【図7】



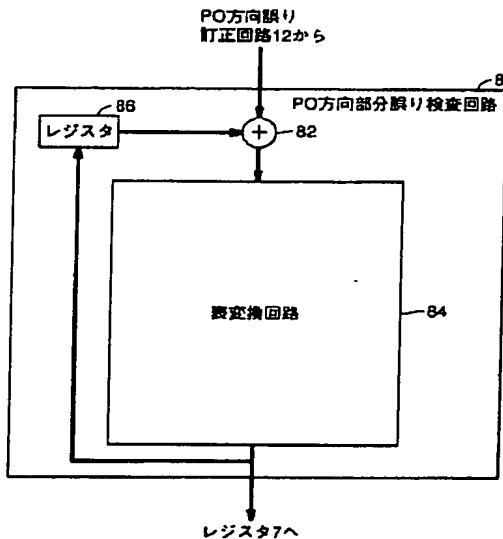
【図8】



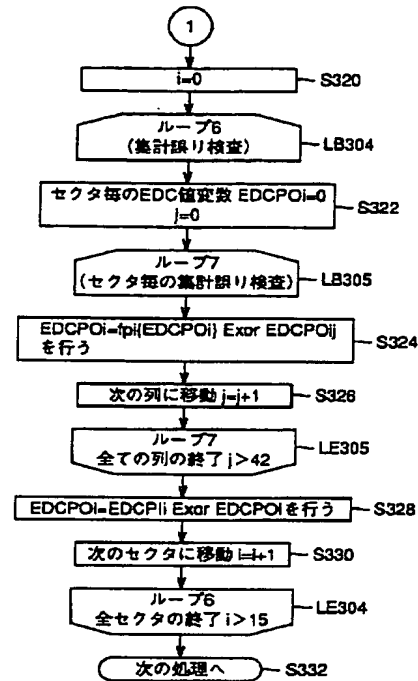
【図9】



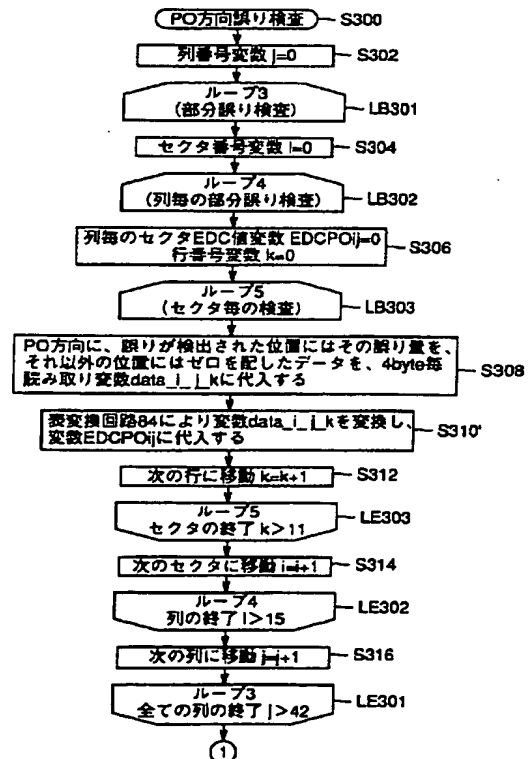
【図11】



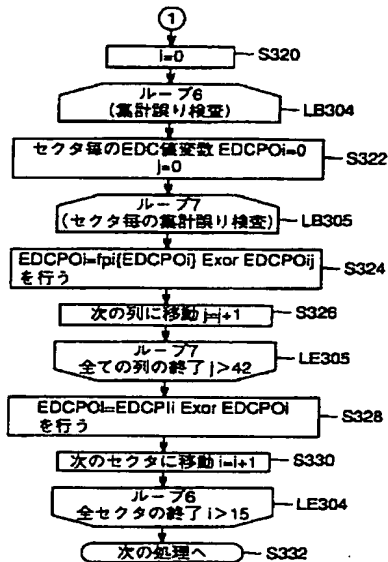
【図10】



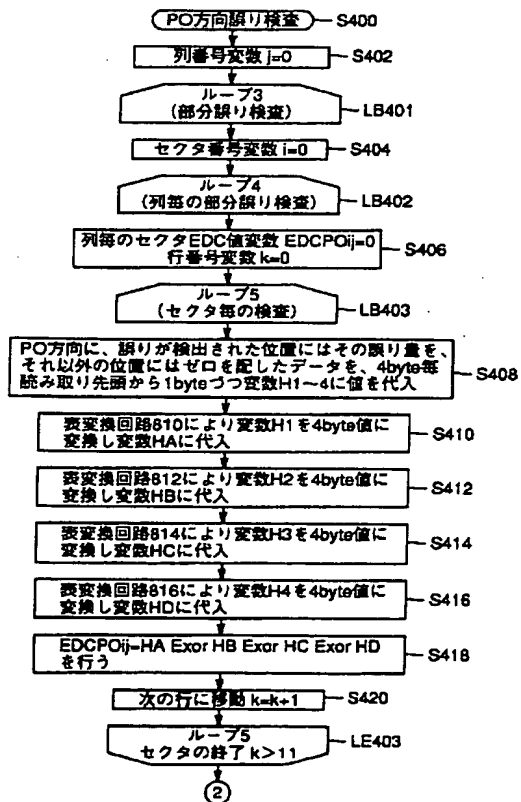
【図12】



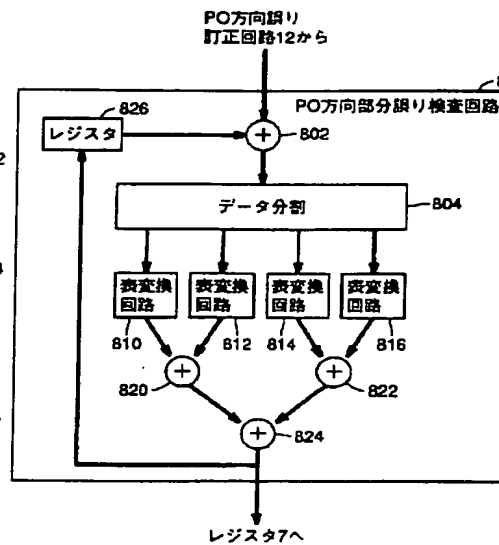
【図13】



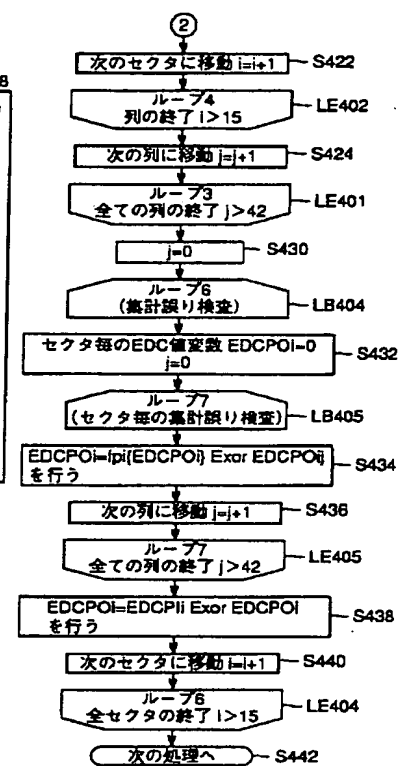
【図15】



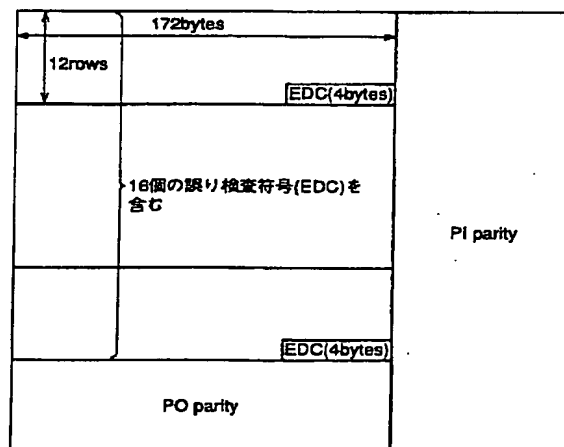
【図14】



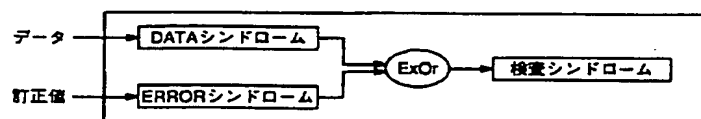
【図16】



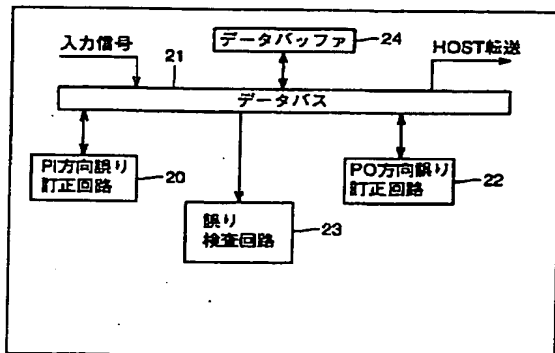
【図18】



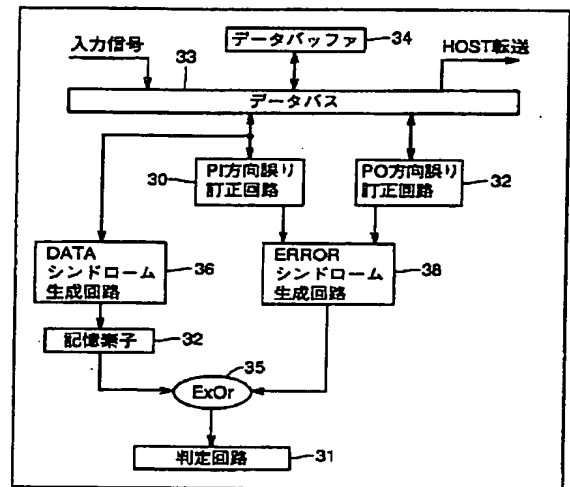
【図24】



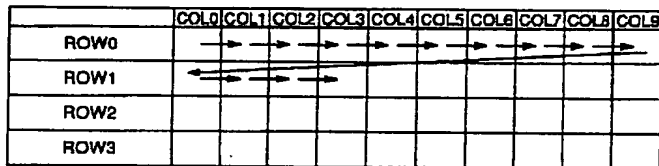
【図 20】



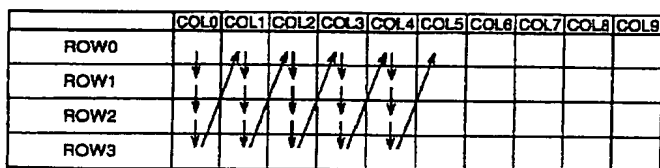
【図 21】



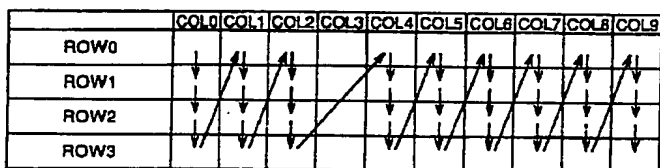
【図 22】



【図 23】



【図 25】



フロントページの続き

(51) Int. Cl.⁷
G 11 B 20/18識別記号
5 7 2F I
G 11 B 20/18ターコード* (参考)
5 7 2 C
5 7 2 F

(72)発明者 山内 英樹
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 5B001 AA13 AB02 AC02 AD06 AE02
5J065 AA01 AB01 AC03 AD02 AD13
AE06 AF01 AF03 AG02 AH04
AH05 AH06